ET03: การสร้างฮิสโตแกรมความสูงสัญญาณพัลส์นิวเคลียร์ในหน่วยความจำด้วยชิพ FPGA สำหรับอุปกรณ์วิเคราะห์ความสูงพัลส์แบบหลายช่อง

*กมลทิพย์ พลอยกระจ่าง เดโช ทองอร่าม และ สุวิทย์ ปุณณชัยยะ
ภาควิชานิวเคลียร์เทคโนโลยี คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย
โทรศัพท์ 0 2218 6772 โทรสาร 0 2218 6789 E-Mail: jk_jacky@yahoo.com

บทคัดย่อ

บทความนี้นำเสนอการสร้างฮิสโตแกรมความสูงสัญญาณพัลส์นิวเคลียร์ในหน่วยความจำด้วยชิพ FPGA (Field Programmable Gate Array) สำหรับอุปกรณ์วิเคราะห์ความสูงพัลส์แบบหลายช่องชนิดเวลาการแปลงผันสัญญาณคงที่ขนาด 4096 ช่องวิเคราะห์ เพื่อช่วยลดค่าเดดไทม์ที่เกิดจากการประมวลผลของระบบ อีกทั้งยังช่วยลดขนาด ความซับซ้อน และสัญญาณรบกวนของแผ่นพิมพ์วงจรลงได้ โดยออกแบบวงจรที่สำคัญคือ วงจรสร้างฮิสโตแกรมความสูงสัญญาณพัลส์ วงจรหน่วยความจำแบบพอร์ตคู่ และวงจรสร้างสัญญาณลอจิกควบคุม ทั้งหมดไว้ภายในชิพด้วยวิธีการเขียนผังวงจร โดยใช้โปรแกรม Quartus II ซึ่งผลการจำลองการสร้างฮิสโตแกรมความสูงสัญญาณพัลส์แบบไดอะแกรมเวลาที่สัญญาณนาฬิกาหลัก 20 MHz พบว่าในการประมวลผลของการสร้างฮิสโตแกรมความสูงสัญญาณพัลส์ของข้อมูลจากเอดีซีใช้เวลาเพียง 150 ns ต่อ 1 รอบการทำงาน และในการอ่านข้อมูลฮิสโตแกรมความสูงสัญญาณพัลส์ออกจากหน่วยความจำใน 1 แอดเดรส ใช้เวลาต่ำสุด 50 ns

คำสำคัญ: FPGA ฮิสโตแกรมความสูงพัลส์ อุปกรณ์วิเคราะห์แบบหลายช่อง แกมมาสเปกโตรมิเตอร์

FPGA Implementation of Pulse Height Histogram Memory for a Multi-channel Pulse Height Analyzer

*Kamontip Ploykrachang, Decho Thong-Arom and Suvit Punnachaiya
Department of Nuclear Technology, Faculty of Engineering, Chulalongkorn University
Phone: 0 2218 6772, FAX: 0 2218 6789, E-Mail: jk_jacky@yahoo.com

Abstract

This paper presents FPGA (Field Programmable Gate Array) implementation of pulse height histogram memory for a multi-channel pulse height analyzer, 4096 channels fixed conversion time type, to reduce the processing dead time. Furthermore, the FPGA could reduce size, complexity and noise on printed circuit board. A FPGA chip includes the following main circuits: pulse height histogram, dual port RAM and control logic. All circuits were designed by using schematic diagram via Quartus II. The time simulation pulse height histogram at 20 MHz was found that one cycle of histogram processing time acquired from the ADC was 150 ns and minimum read out time of single histogram memory address was 50 ns.

Keywords: FPGA, MCA, Histogram Memory, Gamma Spectrometer

1. บทนำ

อุปกรณ์วิเคราะห์ความสูงพัลส์แบบหลายช่อง (MCA) เป็นอุปกรณ์สำคัญที่ใช้สำหรับวิเคราะห์สเปกตรัมพลังงานของรังสี แต่เนื่องจากอุปกรณ์วิเคราะห์ความสูงพัลส์แบบหลายช่องแบบเก่านั้นมีขนาดใหญ่ และน้ำหนักมาก จึงทำให้ไม่สะดวกเมื่อต้องเคลื่อนย้ายหรือนำไปปฏิบัติงานในภาคสนาม จึงทำให้การพัฒนาเครื่องมือวัดรังสีในอนาคตมีแนวโน้มในการออกแบบให้มีขนาดเล็กลงเพื่อความสะดวกในการนำไปใช้งานในสถานที่ต่างๆ ได้ง่ายขึ้น ณ ปัจจุบันได้มีการนำเอาชิพ FPGA ไปประยุกต์ใช้ในเครื่องมือหรืออุปกรณ์ต่างๆ อย่างกว้างขวาง เนื่องจากชิพ FPGA มีความจุของจำนวนลอจิกเกตสูง จึงสามารถรองรับการออกแบบวงจรดิจิตอลรวมที่มีขนาดใหญ่และซับซ้อนได้ มี Memory Blocks ที่รองรับการออกแบบหน่วยความจำชนิดต่างๆ ภายในชิพ และมีความเร็วในการทำงานสูง โดยผู้ใช้งานสามารถออกแบบวงจรดิจิตอลรวมให้มีฟังก์ชันการทำงานตามต้องการได้ภายในชิพเดียว นอกจากนี้ยังสามารถจำลองการทำงานของวงจรได้ จึงทำให้ง่ายต่อการตรวจสอบและปรับปรุงวงจรได้ในภายหลัง อีกทั้งยังช่วยลดขนาด ความซับซ้อน และสัญญาณรบกวนของแผ่นพิมพ์วงจรด้วย

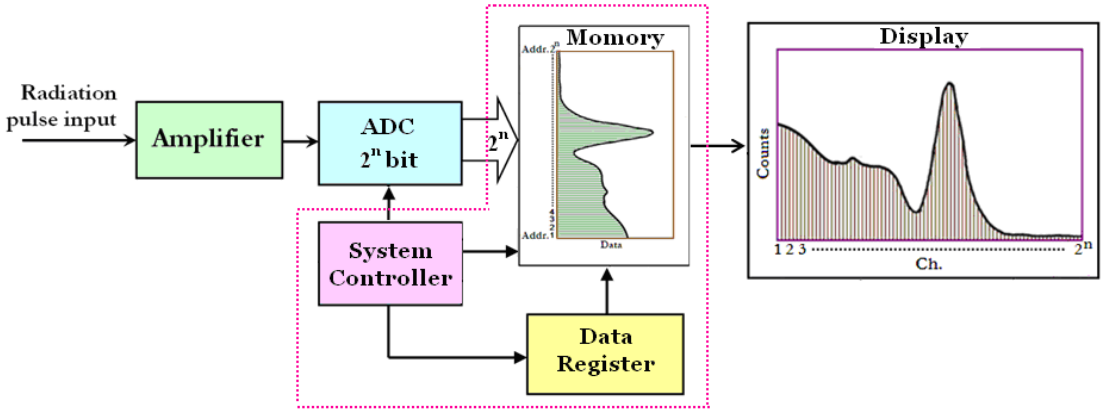
ดังนั้นผู้วิจัยจึงได้มีแนวคิดที่จะนำเอาชิพ FPGA มาประยุกต์ใช้ในส่วนที่เป็นดิจิตอลของอุปกรณ์วิเคราะห์ความสูงพัลส์แบบหลายช่องชนิดเวลาการแปลงผันสัญญาณคงที่ กล่าวคือ ส่วนของการสร้างฮิสโตแกรมความสูงสัญญาณพัลส์ในหน่วยความจำ และส่วนของการสร้างสัญญาณลอจิกควบคุมการทำงานของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบเวลาการแปลงผันสัญญาณคงที่ เพื่อลดความซับซ้อนของวงจรและลดขนาดของเครื่อง แต่ในบทความนี้จะนำเสนอเฉพาะส่วนของการสร้างฮิสโตแกรมความสูงสัญญาณพัลส์ในหน่วยความจำเท่านั้น

2. ข้อมูลพื้นฐานในการออกแบบและสร้าง

2.1. โครงสร้างพื้นฐานของอุปกรณ์วิเคราะห์ความสูงพัลส์แบบหลายช่อง [1,2]

โครงสร้างพื้นฐานของอุปกรณ์วิเคราะห์ความสูงแบบหลายช่องมีส่วนประกอบที่สำคัญดังแผนภาพในรูปที่ 1

2.1.1. ส่วนขยายสัญญาณพัลส์ (Amplifier) ทำหน้าที่ขยายสัญญาณพัลส์ และปรับแต่งรูปสัญญาณของสัญญาณพัลส์ที่ได้จากหัววัดรังสี ให้มีขนาดใหญ่ขึ้นและมีอัตราส่วนสัญญาณต่อสิ่งรบกวนสูง ความสูงของสัญญาณพัลส์ที่ได้จากวงจรขยายสัญญาณจะเป็นสัดส่วนกับระดับพลังงานของรังสีที่ตกกระทบหัววัด



รูปที่ 1 แผนภาพส่วนประกอบของอุปกรณ์วิเคราะห์ความสูงแบบหลายช่อง

2.1.2. ส่วนแปลงผันสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (ADC) ทำหน้าที่แปลงสัญญาณอนาลอกจากวงจรขยายสัญญาณพัลส์ที่มีความสูงเทียบเท่าระดับพลังงานต่างๆ ของรังสีให้เป็นสัญญาณดิจิตอล สำหรับนำไปใช้เป็นรหัสตำแหน่งแอดเดรสของหน่วยความจำเพื่อทำการบันทึกข้อมูล

2.1.3. ส่วนบันทึกข้อมูล (Data Register Unit) ทำหน้าที่บวกเพิ่มจำนวนสัญญาณพัลส์ที่มีรหัสตรงกับตำแหน่งแอดเดรสช่องนั้นๆ ครั้งละ 1 หน่วยนับ

2.1.4. ส่วนหน่วยความจำ (Memory Unit) ทำหน้าที่บันทึกจำนวนนับของสัญญาณพัลส์ในแต่ละแชนแนลแอดเดรส (แต่ละระดับพลังงาน) ในรูปของรหัสไบนารี และมีความจุของแชนแนลแอดเดรสตามค่า 2^n (n คือจำนวนบิต) ช่อง ซึ่งจำนวนช่องนี้จะสัมพันธ์กับขีดความสามารถของ ADC เช่น 2^{10} เท่ากับ 1024 ช่อง เทียบเท่าระดับพลังงานที่ปรับเทียบไว้ ซึ่งหมายถึงความละเอียดของสเกลระดับพลังงาน (eV/Ch)

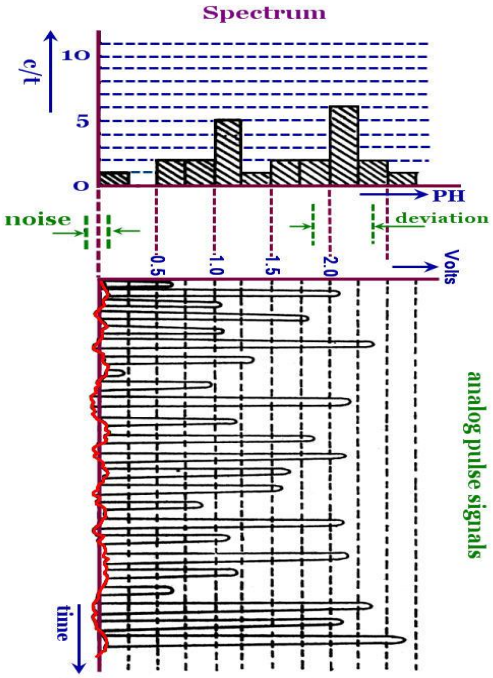
2.1.5. ส่วนควบคุมการทำงานของระบบ (System Controller) ทำหน้าที่ควบคุมการแปลงผันสัญญาณอนาลอกเป็นสัญญาณดิจิตอล และควบคุมการบันทึกข้อมูลในหน่วยความจำ

2.1.6. ส่วนแสดงผล (Display Unit) ทำหน้าที่แสดงผลข้อมูลที่บันทึกไว้ในหน่วยความจำบนจอแสดงผลในรูปของสเปกตรัม

2.2. หลักการทำงานของอุปกรณ์วิเคราะห์ความสูงพัลส์แบบหลายช่อง[1,2]

อุปกรณ์วิเคราะห์ความสูงแบบหลายช่องเป็นอุปกรณ์สำหรับวิเคราะห์พลังงานของอนุภาคนิวเคลียร์ด้วยวิธีการจำแนกความสูงของสัญญาณพัลส์ (Pulse Height Analysis) จากระบบวัดนิวเคลียร์ อุปกรณ์วิเคราะห์ความสูงแบบหลายช่องจะมีการทำงานด้วยระบบดิจิตอลที่ค่อนข้างซับซ้อน โดยเริ่มจากวงจรแปลงความสูงของพัลส์รับสัญญาณพัลส์จากระบบวัดรังสีมาทำการแปลงเป็นข้อมูลดิจิตอลที่สอดคล้องกับความสูงของสัญญาณพัลส์ ซึ่งข้อมูลดิจิตอลนี้จะถูกใช้เป็นรหัส

สำหรับการกำหนดตำแหน่งแอดเดรสของหน่วยความจำ (Address Memory) ที่ใช้บันทึกข้อมูลจำนวนนับรังสี และทุกครั้งที่การแปลงข้อมูลความสูงสัญญาณพัลส์ลูกใดตรงกับตำแหน่งแอดเดรสของหน่วยความจำนั้นก็จะมีการบันทึกข้อมูลด้วยการบวกเพิ่มข้อมูลสะสมครั้งละ 1 หน่วยนับ ณ ตำแหน่งแอดเดรสนั้น ข้อมูลการจำแนกการกระจายความสูงของสัญญาณพัลส์ในหน่วยความจำจะถูกเก็บไว้ในรูปของฮิสโตแกรมดังแสดงในรูปที่ 2 เพื่อนำมาวิเคราะห์และแสดงผลในรูปของสเปกตรัมพลังงาน โดยมีแกนนอนแสดงขนาดความสูงของสัญญาณพัลส์ที่เทียบเท่าพลังงานของรังสี และแกนตั้งเป็นจำนวนนับความถี่ในแต่ละความสูงของสัญญาณพัลส์ หรือเทียบเท่าจำนวนนับรังสีต่อหน่วยเวลา

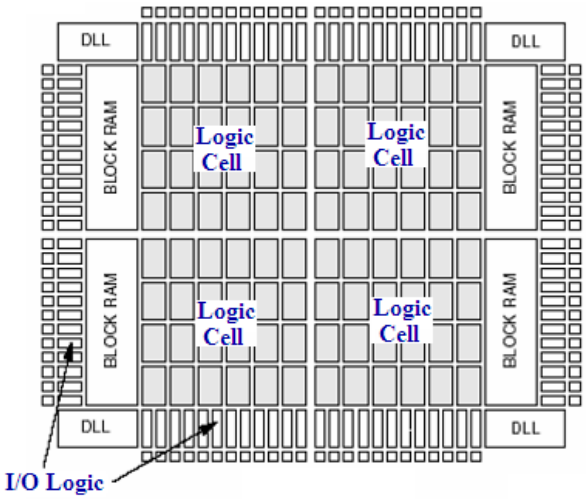


รูปที่ 2 ฮิสโตแกรมความสูงสัญญาณพัลส์นิวเคลียร์

2.3. โครงสร้างพื้นฐานภายในของชิพ FPGA [3]

FPGA (Field Programmable Gate Array) เป็นชิพไอซีดิจิตอลอเนกประสงค์ที่สามารถโปรแกรมวงจรดิจิตอลรวมที่ได้ออกแบบไว้ลงไปในชิพ เพื่อให้ชิพมีฟังก์ชันการทำงานตามที่ผู้ออกแบบต้องการ โครงสร้างภายในของชิพ FPGA แสดงได้ดังรูปที่ 3 ประกอบด้วย 2 ส่วนที่สำคัญ คือ ส่วนลอจิกเซลล์ (Logic Cell) ที่เชื่อมต่อกันแบบเมทริกซ์ และส่วนอินพุท/เอาท์พุตลอจิก (I/O Logic) โดยทั้ง 2 ส่วนจะมีการเชื่อมต่อถึงกันภายในชิพแบบหลายลำดับชั้น นอกจากนี้ภายในชิพ FPGA ยังมีอุปกรณ์ภายในที่ทำหน้าที่เฉพาะ เช่น Delay-Locked Loop (DLL) และ Memory Blocks ที่สามารถรองรับการออกแบบให้มีหน่วยความจำภายในชิพได้ ชิพ FPGA จะมีขนาดความจุของลอจิกเกตตั้งแต่ระดับ 10^4 เกต จนถึงประมาณ 10^7 เกต ซึ่งจะขึ้นอยู่กับเทคโนโลยีที่ใช้ในการผลิต ดังนั้นชิพ

FPGA จึงเหมาะกับการออกแบบวงจรดิจิตอลที่มีขนาดใหญ่มากๆ และมีความซับซ้อนของระบบสูง การโปรแกรมชิพ FPGA ทำได้โดยการโหลดข้อมูลวงจรที่ออกแบบไว้ลงไปเก็บในเซลล์หน่วยความจำแบบ RAM ซึ่งจะเป็นคนละส่วนกับ Memory Blocks ดังนั้นชิพ FPGA จึงไม่มีข้อจำกัดในการโปรแกรมซ้ำ แต่มีข้อเสียคือข้อมูลของวงจรจะสูญหายหากไม่มีไฟเลี้ยง ดังนั้นการนำไปใช้งานจึงจำเป็นต้องมีหน่วยความจำภายนอกชิพที่สามารถเก็บข้อมูลวงจรอยู่ได้แม้ว่าจะไม่มีไฟเลี้ยงตัวชิพ เช่น Serial PROM ต่อพ่วงอยู่ด้วยเสมอเพื่อทำการโหลดข้อมูลลงชิพ FPGA อย่างอัตโนมัติทุกครั้งที่มีการจ่ายไฟเลี้ยง



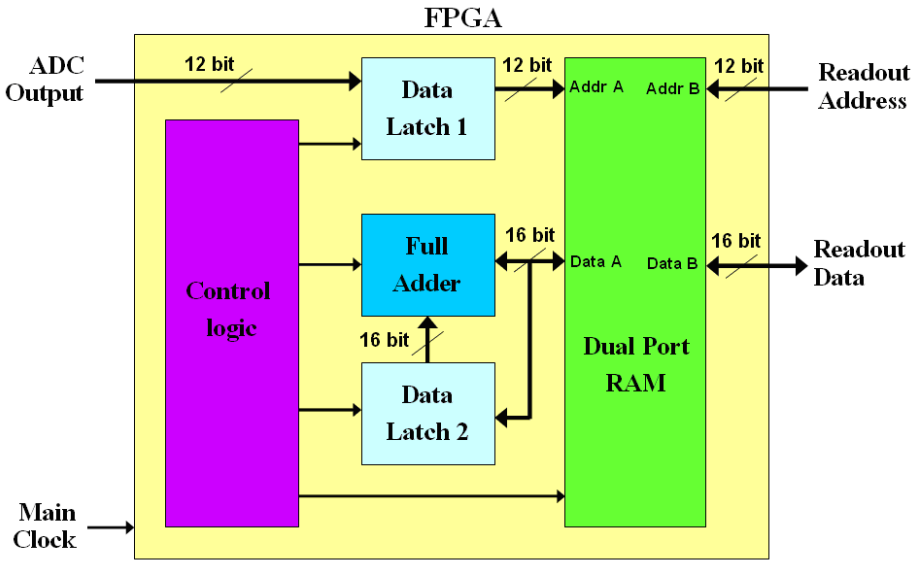
รูปที่ 3 โครงสร้างภายในของชิพ FPGA

3. การออกแบบและสร้างฮิสโตแกรมความสูงสัญญาณพัลส์ในหน่วยความจำภายในชิพ FPGA

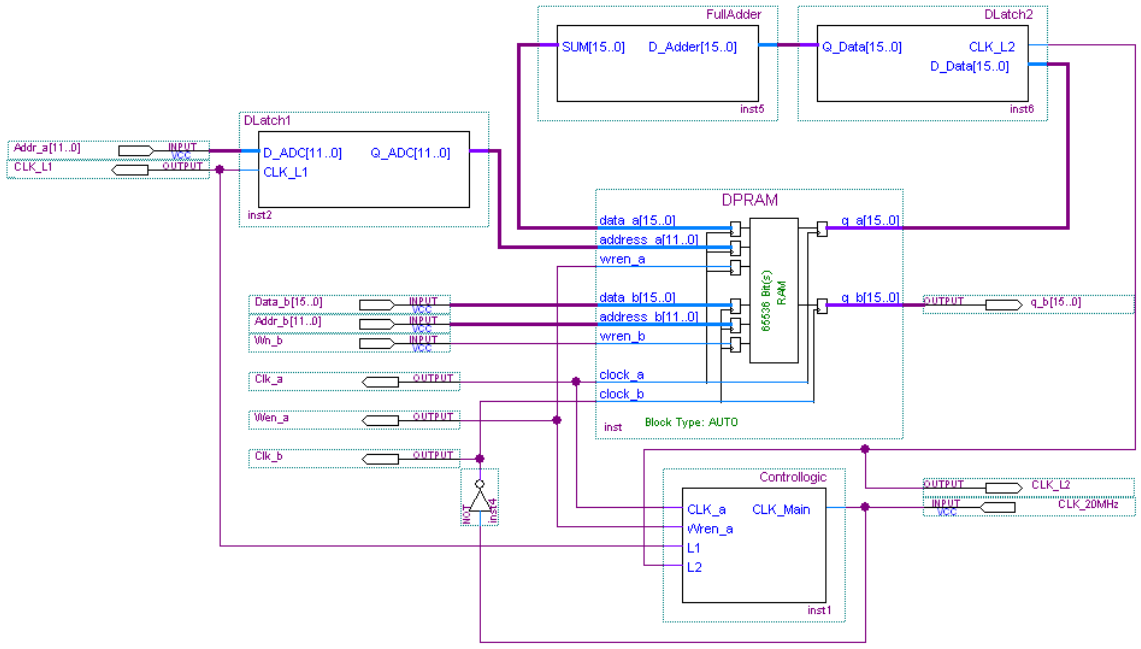
จากแผนภาพส่วนประกอบของอุปกรณ์วิเคราะห์ความสูงแบบหลายช่องในรูปที่ 2 จะพบว่าสามารถนำเอาชิพ FPGA มาประยุกต์ใช้ในส่วนดิจิตอลของอุปกรณ์วิเคราะห์ความสูงแบบหลายช่องได้ คือ ส่วนบันทึกข้อมูล ส่วนหน่วยความจำ และส่วนควบคุมการทำงานของระบบ ในการออกแบบสร้างฮิสโตแกรมความสูงสัญญาณพัลส์ในหน่วยความจำภายในชิพ FPGA นั้นได้เลือกใช้ชิพ FPGA ตระกูล Cyclone ของบริษัท Altera เบอร์ EP1C6T144C8 ที่มีจำนวนลอจิกอิลิเมนต์ (Logic Element, LE) 5,980 อิลิเมนต์ (ความจุเกต ≈ 102,000 เกต) และมี Memory Blocks ขนาด 92,160 บิต มาประยุกต์ใช้ โดยใช้โปรแกรม Quartus II เวอร์ชัน 7.2 ทำการออกแบบวงจรดิจิตอลและหน่วยความจำภายในตัวชิพด้วยวิธีการเขียนผังวงจร (Schematic)[4]

วงจรสร้างฮิสโตแกรมความสูงสัญญาณพัลส์ในหน่วยความจำภายในชิพ FPGA ที่ออกแบบขึ้นประกอบด้วยวงจรที่สำคัญ คือ วงจรสร้างฮิสโตแกรมความสูงสัญญาณพัลส์ วงจรหน่วยความจำ

แบบพอร์ตคู่ และวงจรสร้างสัญญาณลอจิกควบคุม โดยมีแผนภาพวงจรดังรูปที่ 4 และวงจรสร้างฮิสโตแกรมความสูงสัญญาณพัลส์ในหน่วยความจำภายในชิพ FPGA ที่ถูกออกแบบด้วยวิธีเขียนผังวงจรด้วยโปรแกรม Quartus II แสดงดังรูปที่ 5



รูปที่ 4 แผนภาพวงจรสร้างฮิสโตแกรมความสูงสัญญาณพัลส์ในหน่วยความจำภายในชิพ FPGA



รูปที่ 5 วงจรสร้างฮิสโตแกรมความสูงสัญญาณพัลส์ในหน่วยความจำภายในชิพ FPGA

3.1. วงจรสร้างฮิสโตแกรมความสูงสัญญาณพัลส์

วงจรสร้างฮิสโตแกรมความสูงสัญญาณพัลส์ ทำหน้าที่บวกเพิ่มจำนวนสัญญาณพัลส์ที่มีรหัสตรงกับตำแหน่งแอดเดรสช่องนั้นๆ ครั้งละ 1 หน่วยนับ ซึ่งจะประกอบด้วยวงจรย่อย คือ วงจรแลตช์ข้อมูลที่ 1 (Data Latch 1) วงจรแลตช์ข้อมูลที่ 2 (Data Latch 2) และวงจรบวกแบบฟูลแอดเดอร์ (Full Adder) โดยวงจรแลตช์ข้อมูลที่ 1 จะทำการแลตช์ข้อมูลดิจิตอลเอาท์พุตจากวงจรเอดีซีเพื่อเป็นตำแหน่งแอดเดรสของหน่วยความจำแบบพอร์ตคู่ทางพอร์ต A เพื่อทำการอ่านข้อมูลฮิสโตแกรมความสูงสัญญาณพัลส์จากตำแหน่งนั้น ซึ่งข้อมูลที่ได้จะถูกวงจรแลตช์ข้อมูลที่ 2 ทำการแลตช์ข้อมูลไว้เพื่อให้วงจรบวกแบบฟูลแอดเดอร์ขนาด 16 บิต บวกเพิ่มข้อมูลไปอีกหนึ่งหน่วยนับ จากนั้นจึงทำการเขียนข้อมูลที่ได้จากการบวกกลับไปยังตำแหน่งแอดเดรสเดิมของหน่วยความจำแบบพอร์ตคู่เพื่อสร้างฮิสโตแกรมความสูงของสัญญาณพัลส์

3.2. วงจรหน่วยความจำแบบพอร์ตคู่ (Dual Port RAM)

วงจรหน่วยความจำแบบพอร์ตคู่ที่ออกแบบมีขนาด 4K x 16 บิต (65,536 บิต) ทำหน้าที่เก็บข้อมูลฮิสโตแกรมความสูงสัญญาณพัลส์ เหตุที่ต้องใช้หน่วยความจำแบบพอร์ตคู่ก็เพื่อลดเวลาในการเข้าถึงข้อมูลในหน่วยความจำ เนื่องจากหน่วยความจำแบบพอร์ตคู่มีการใช้พื้นที่ร่วมกันระหว่างพอร์ต A และพอร์ต B ซึ่งทั้งสองพอร์ตจะใช้พื้นที่หน่วยความจำเดียวกัน มีฟังก์ชันการทำงานที่เหมือนกันทุกอย่างแต่มีโปรเซสเซอร์ควบคุมการทำงานที่เป็นอิสระต่อกัน จึงทำให้ทั้งสองพอร์ตสามารถเข้าถึงข้อมูลพร้อมกันได้ ในการออกแบบวงจรหน่วยความจำแบบพอร์ตคู่ได้ออกแบบให้ใช้พอร์ต A ของหน่วยความจำทำการประมวลผลสร้างฮิสโตแกรมความสูงสัญญาณพัลส์เก็บไว้ในหน่วยความจำ ส่วนพอร์ต B ใช้สำหรับอ่านข้อมูลฮิสโตแกรมความสูงสัญญาณพัลส์ออกจากหน่วยความจำเพื่อนำไปแสดงผลของสเปกตรัม

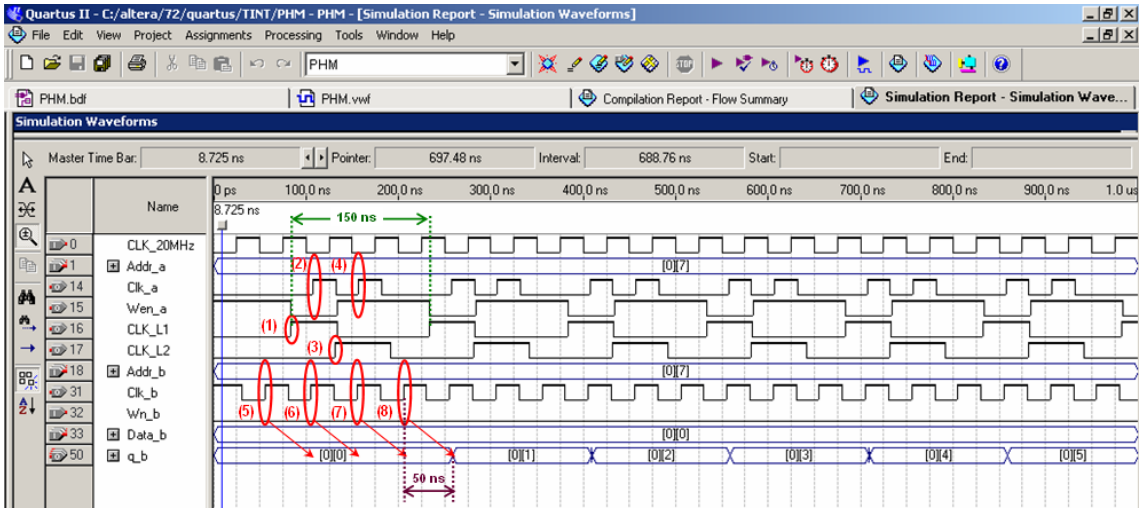
3.3. วงจรสร้างสัญญาณลอจิกควบคุม (Control logic)

วงจรสร้างสัญญาณลอจิกควบคุมทำหน้าที่สร้างสัญญาณลอจิกเพื่อควบคุมการทำงานของวงจรสร้างฮิสโตแกรมความสูงสัญญาณพัลส์ และวงจรหน่วยความจำแบบพอร์ตคู่ โดยมีรอบการทำงาน 2 รอบ คือ รอบการทำงานสำหรับสร้างฮิสโตแกรมความสูงสัญญาณพัลส์ในหน่วยความจำ และรอบการทำงานสำหรับอ่านข้อมูลฮิสโตแกรมความสูงสัญญาณพัลส์ออกจากหน่วยความจำ

4. ผลการทดสอบการจำลองการทำงานแบบไดอะแกรมเวลา (Timing Simulation)

ได้ทดสอบการจำลองรอบเวลาการทำงานสำหรับการเขียนและอ่านข้อมูลในหน่วยความจำแบบไดอะแกรมเวลาด้วยโปรแกรม Quartus II ที่ความถี่ของสัญญาณนาฬิกาหลัก 20 MHz โดยจำลองสัญญาณดิจิตอลที่ได้จากเอาท์พุตของวงจรเอดีซีเพื่อใช้เป็นตำแหน่งแอดเดรสการเขียนข้อมูลทาง

พอร์ต A และจำลองตำแหน่งแอดเดรสการอ่านข้อมูลทางพอร์ต B จากนั้นทำการเขียนและอ่านข้อมูลฮิสโตแกรมความสูงสัญญาณพัลส์ ณ ตำแหน่งแอดเดรสนั้นเพื่อตรวจสอบความถูกต้องของข้อมูลฮิสโตแกรมความสูงสัญญาณพัลส์ในหน่วยความจำที่ได้กำหนดไว้ ซึ่งในที่นี้ คือ ตำแหน่งแอดเดรสที่ 7 ([0][7]) ของหน่วยความจำแบบพอร์ตคู่ ซึ่งใช้เวลาในการจำลองการทำงานทั้งหมด 1 μs โดยมีวงจรสร้างสัญญาณลอจิกควบคุมสร้างสัญญาณลอจิก CLK_L1, CLK_L2, Clk_a, Clk_b, Wn_a และ Wn_b เพื่อควบคุมการทำงานของวงจรสร้างฮิสโตแกรมความสูงสัญญาณพัลส์ และวงจรหน่วยความจำแบบพอร์ตคู่ ผลการจำลองการทำงานแบบไดอะแกรมเวลาของวงจรสร้างฮิสโตแกรมความสูงสัญญาณพัลส์ในหน่วยความจำภายในชิพ FPGA แสดงดังรูปที่ 6



รูปที่ 6 ผลการจำลองการทำงานแบบไดอะแกรมเวลา

จากผลการจำลองการทำงานแบบไดอะแกรมเวลาจากเวลา 0 – 1 μs พบว่ามีการสร้างข้อมูลฮิสโตแกรมความสูงสัญญาณพัลส์ในหน่วยความจำเป็นจำนวน 5 ครั้ง ที่ตำแหน่งแอดเดรสที่ 7 ซึ่งสามารถอธิบายรอบการทำงานจได้ดังนี้ คือ

1. รอบการทำงานสำหรับสร้างฮิสโตแกรมความสูงสัญญาณพัลส์ในหน่วยความจำ จะประกอบด้วยขั้นตอนการทำงานของสัญญาณลอจิกตำแหน่งที่ (1), (2), (3) และ (4) ซึ่งรอบการทำงานนี้ใช้เวลาทั้งสิ้น 150 ns

- สัญญาณลอจิกตำแหน่งที่ (1) ทำการควบคุมวงจรแลตช์ข้อมูลที่ 1 ให้ทำการแลตช์ข้อมูลดิจิตอลเอาท์พุตจากวงจรเอดีซีเพื่อเป็นตำแหน่งแอดเดรสของหน่วยความจำแบบพอร์ตคู่ทางพอร์ต A (Addr_a) ในตำแหน่งแอดเดรสที่ 7 ([0][7])

- สัญญาณลอจิกตำแหน่งที่ (2) ทำการอ่านข้อมูลฮิสโตแกรมความสูงสัญญาณพัลส์จากหน่วยความจำแบบพอร์ตคู่ที่ตำแหน่งแอดเดรสที่ 7 ([0][7]) ออกมาทางพอร์ต A (q_a)
- สัญญาณลอจิกตำแหน่งที่ (3) ทำการควบคุมวงจรแลตช์ข้อมูลที่ 2 ให้ทำการแลตช์ข้อมูลฮิสโตแกรมความสูงสัญญาณพัลส์จากพอร์ต A (q_a) ไว้เพื่อให้วงจรบวกแบบฟูลแอดเดอร์บวกเพิ่มข้อมูลไปอีกหนึ่งหน่วยนับ
- สัญญาณลอจิกตำแหน่งที่ (4) ทำการเขียนข้อมูลฮิสโตแกรมความสูงสัญญาณพัลส์ที่บวกเพิ่มไปอีกหนึ่งหน่วยนับกลับเข้าไปยังตำแหน่งแอดเดรสเดิม (แอดเดรสที่ 7) ทางพอร์ต A (Addr_a) ซึ่งเป็นตำแหน่งสุดท้ายในการสร้างข้อมูลฮิสโตแกรมในหน่วยความจำ

2. รอบการทำงานสำหรับอ่านข้อมูลฮิสโตแกรมความสูงสัญญาณพัลส์ออกจากหน่วยความจำอาศัยขั้นตอนการทำงานของสัญญาณลอจิกตำแหน่งที่ (5), (6), (7) และ (8) ซึ่งในแต่ละตำแหน่งจะใช้เวลาในการอ่านข้อมูลฮิสโตแกรมความสูงสัญญาณพัลส์ออกจากหน่วยความจำเป็นเวลา 50 ns

- สัญญาณลอจิกตำแหน่งที่ (5), (6) และ (7) ทำการอ่านข้อมูลฮิสโตแกรมความสูงสัญญาณพัลส์จากหน่วยความจำแบบพอร์ตคู่ที่ตำแหน่งแอดเดรสที่ 7 ([0][7]) ออกมาทางพอร์ต B (q_b) แต่เนื่องจากว่าข้อมูลฮิสโตแกรมความสูงสัญญาณพัลส์ยังไม่ได้ถูกสร้างขึ้นเพราะยังอยู่ในระหว่างกระบวนการสร้างข้อมูลฮิสโตแกรมความสูงสัญญาณพัลส์ ดังนั้นข้อมูลฮิสโตแกรมความสูงสัญญาณพัลส์ที่อ่านออกมาจากหน่วยความจำยังคงมีค่าเป็น 0 ([0][0])
- สัญญาณลอจิกตำแหน่งที่ (8) ทำการอ่านข้อมูลฮิสโตแกรมความสูงสัญญาณพัลส์จากหน่วยความจำแบบพอร์ตคู่ที่ตำแหน่งแอดเดรสที่ 7 ([0][7]) ออกมาทางพอร์ต B (q_b) และเนื่องจากว่าข้อมูลฮิสโตแกรมความสูงสัญญาณพัลส์ถูกสร้างเสร็จที่ตำแหน่งที่ (4) ดังนั้นข้อมูลฮิสโตแกรมความสูงสัญญาณพัลส์ที่อ่านออกมาจากหน่วยความจำจึงมีค่าเป็น 1 ([0][1])

5. สรุป

จากผลการจำลองการสร้างฮิสโตแกรมความสูงสัญญาณพัลส์แบบไดอะแกรมเวลาที่สัญญาณนาฬิกาหลัก 20 MHz พบว่าในการประมวลผลของการสร้างฮิสโตแกรมความสูงสัญญาณพัลส์ของข้อมูลจากเอดีซีใช้เวลาเพียง 150 ns ต่อ 1 รอบการทำงาน และในการอ่านข้อมูลฮิสโตแกรมความสูงสัญญาณพัลส์ออกจากหน่วยความจำใน 1 แอดเดรส ใช้เวลาต่ำสุด 50 ns โดยที่เวลาในการประมวลผล

ของการสร้างฮิลโตรแกรมความสูงสัญญาณพัลส์ และเวลาในการอ่านข้อมูลฮิสโตแกรมความสูงสัญญาณพัลส์ออกจากหน่วยความจำจะขึ้นอยู่กับสัญญาณนาฬิกาหลัก ดังนั้นในการออกแบบฮิสโตแกรมความสูงสัญญาณพัลส์ที่รองรับอัตรานับสีสูงก็สามารถทำได้โดยใช้สัญญาณนาฬิกาหลักให้มีความถี่สูงขึ้น

6. กิตติกรรมประกาศ

ผู้เขียนขอขอบคุณศูนย์เชี่ยวชาญนิวเคลียร์เทคโนโลยีสำหรับการวิเคราะห์และทดสอบวัสดุ ภาควิชานิวเคลียร์เทคโนโลยี คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย ที่ได้อำนวยความสะดวกด้านเครื่องมือและอุปกรณ์ต่างๆ สำหรับการดำเนินงานวิจัย ขอขอบคุณ คุณสมชาย เบ้าทอง สำหรับคำแนะนำที่ดีตลอดมา

7. เอกสารอ้างอิง

1. Knoll, Glenn F., 2000. Radiation Detection and Measurement. 3rd ed. John Wiley & Sons, Inc., New York, p. 685-693.
2. วิรุฬห์ มังคละวิรัช, สุวิทย์ ปุณณชัยยะ, 2536. อุปกรณ์วิเคราะห์แบบหลายช่อง. รายงานโครงการสิ่งประดิษฐ์ จุฬาลงกรณ์มหาวิทยาลัย, หน้า 5-11.
3. กมลทิพย์ พลอยกระจ่าง, 2551. เครื่องวัดสเปกตรัมรังสีแกมมาที่ทำงานบนพ็อกเก็ตพีซีโดยใช้ไปป์ไลน์เอดีซี. วิทยานิพนธ์ปริญญามหาบัณฑิต ภาควิชานิวเคลียร์เทคโนโลยี บัณฑิตวิทยาลัยจุฬาลงกรณ์มหาวิทยาลัย, หน้า 22-23.
4. Altera Corporation, 2008. Cyclone Device Handbook. Volume 1, p. [1-1] – [2-3].